

硬件在环实时仿真系统延迟 对滞环电流控制仿真影响研究

周宏林, 吴小田, 代同振

(中国东方电气集团有限公司中央研究院, 四川 成都 611731)

摘要: 硬件在环实时仿真系统如 RT-LAB、RTDS 等近年在电力电子研究领域中得到了广泛的应用。在使用硬件在环仿真的过程中, 研发人员往往关注仿真机的最小步长而忽视仿真机输入到输出的延迟指标。针对采用滞环电流控制的并网逆变器, 研究了硬件在环实时仿真中输入到输出延迟指标的重要性。通过理论研究、仿真和实验得出在滞环电流控制的硬件在环仿真中, 仿真机的输入到输出延迟对滞环电流控制有明显的负面影响, 它会导致滞环比较带宽增加, 进而降低滞环比较控制的开关频率, 让并网逆变器的电流谐波增大, 使得硬件在环仿真下的控制器性能劣于真实系统。即使仿真机保持较小的仿真步长, 也无法真实有效地模拟出真实的滞环电流控制系统的性能。随着开关频率的提高, 一味地通过提高仿真机性能来解决硬件在环仿真准确度问题的思路并不可取, 未来需要考虑其他技术手段来缓解该问题。

关键词: 硬件在环; 实时仿真; 延迟; 滞环电流控制; 并网逆变器

中图分类号: TM614 文献标志码: A 文章编号: 1003-6954(2018)01-0061-06

DOI:10.16527/j.cnki.cn51-1315/tm.2018.01.014

Study on Effect of Hardware-in-the-Loop Real-time Simulation Delay on Hysteresis Current Control for Grid-connected Converter

Zhou Honglin, Wu Xiaotian, Dai Tongzhen

(Central Research Academy of DongFang Electric Corporation, Chengdu 611731, Sichuan, China)

Abstract: In recent years, hardware-in-the-loop (HIL) simulation such as RT-LAB and RTDS are widely used in the research of power electronic system. In order to keep the simulation accuracy, the main concern of researchers normally focuses on the minimum simulation step size of the simulator, while neglects the role of input-to-output delay of the simulator. Aiming at the grid-connected converter with hysteresis current control, the importance of simulator delay is studied. Through theoretical analysis, simulation and experiments, it is found out that the delay of the simulator seriously affects the control performance: it can apparently increase the hysteresis current band, reduce the switching frequency, increase the current THD (total harmonic distortion) and therefore deteriorate the control. With the input-out-delay, even if the simulation step is kept small, the simulation results are neither accurate nor trustable. With the increasing of switching frequency nowadays, other technical means should be adopted to alleviate the effect of delay rather than purely reducing the simulation step.

Key words: hardware-in-the-loop (HIL) simulation; real-time simulation; delay; hysteresis current control; grid-connected converter

0 引言

半实物实时仿真系统如 RT-LAB、RTDS 等近年在电力电子研究领域中得到了广泛的应用^[1-2]。而半实物实时仿真常又分为快速控制器原型(rapid control prototyping, RCP)和硬件在环(hardware in

loop, HIL)两种。二者区别在于,快速控制器原型是用仿真机作为控制器来控制真实的物理对象,而硬件在环则是用仿真机模拟被控对象,用真实的控制器来控制,如图 1 所示。在电力电子系统的研发过程中,往往是控制器易搭建,而被控对象主电路不易搭建,因此经常采用的是硬件在环的仿真方式。

随着电力电子器件技术进步,现代电力电子较

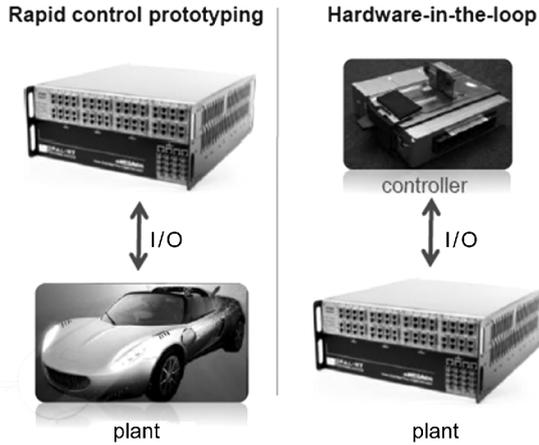


图 1 半实物仿真的两种主要形式

多采用有较高速度的可关断开关器件,如 MOSFET、IGBT、IGCT 等等。由于被控对象开关频率较高,因此为了准确模拟其开关暂态过程中各电参量的变化,就要求仿真机具有非常快的响应能力,即要求仿真机具有非常高的实时性。例如,对于 1 kHz 的开关信号,开关周期即为 1 ms,并且开关跳变在这 1 ms 中间的任何一个时刻都可能发生。要比较准确地模拟开关周期内的电量(如电流)变化,比如分辨率做到 100 点,那么仿真步长就要降低到 10 μs。这意味着,仿真机必须要在 10 μs 之内完成一次被控对象的模拟。可以说,50 μs 以下的步长仿真是电力电子硬件在环仿真研究中经常遇到的情形。

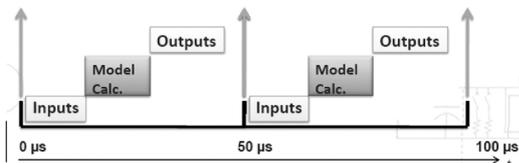


图 2 仿真机运行时序

仿真机无论采用 CPU 还是 FPGA 的架构形式,本质上是一台高性能的计算机,它运行在实时操作系统下,实现输入采样、迭代计算和外部输出,如图 2 所示。要准确模拟被控对象,仿真机除了要有快速的周期迭代计算能力,即具有很小的仿真步长外,还要具有尽可能短的输入到输出的延迟。输入到输出延迟也是半实物仿真区别于纯离线仿真和真实系统的一个独特之处,而这常常被实时仿真机用户忽略。

对于并网逆变器应用来说,滞环电流控制^[3-7]是除了矢量控制之外的一种非常经典的控制方式。尽管滞环控制存在开关频率不固定、谐波分布广的问题,但其优点也很突出,例如它具有非常快的动态

响应、控制精度高、易于设计和调试等。此外,近年在多电平逆变器研究中,滞环电流控制也受到关注^[8-11]。

下面将考查采用硬件在环实时仿真系统来仿真基于滞环电流控制的并网逆变器时的特殊问题:研究硬件在环实时仿真系统延迟对控制仿真影响,通过理论分析输入输出延迟带来的仿真误差;通过实例对比纯离线仿真和半实物仿真的结果,验证理论分析。通过实际案例研究指出,在一些特殊的场合下,即使在仿真步长很小的情况下,仿真机的输入输出延迟也会带来较大的仿真误差,甚至错误的仿真结果。

1 变流器滞环电流控制硬件在环仿真系统

网侧变流器是直驱风力发电系统中的重要部件之一,主要实现对直流母线电压和并网功率的控制,其中对并网电流的控制是实现电压和功率控制的基础。如图 3 所示,网侧变流器采用单电感并网,电流环控制器采集三相电感电流 i_{abc} 跟相应的给定电流 i_{abc_ref} 做差,再经过电流滞环生成控制三相桥臂的 PWM 信号。

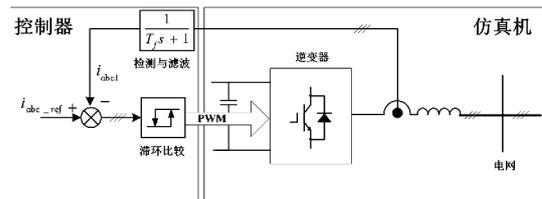


图 3 变流器滞环电流控制硬件在环仿真系统

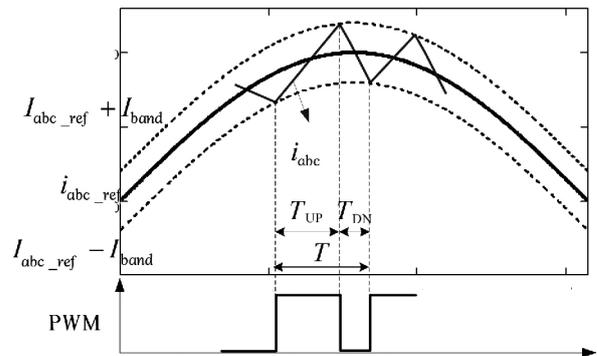


图 4 电流滞环控制原理图

电流滞环控制的原理如图 4 所示,当受控的并网电感电流 i_{abc} 上升至给定电流和迟滞电流之和 $i_{abc_ref} + I_{band}$ 时,对应桥臂的上管关断,下管开通,电

感电流 i_{abc} 将开始下降,当下降至 $i_{abc_ref} - I_{band}$ 时,上管开通而下管关断。图中 T_{UP} 对应上管开通时间, T_{DN} 对应下管的开通时间。很容易看出,通过调节迟滞电流 I_{band} 的大小就可以调节开关频率和被控电流 i_{abc} 的总谐波失真 (total harmonic distortion, THD)。迟滞电流越小,开关频率越高,被控电流波形将越接近给定电流,THD 将越小。

2 输入到输出延迟的来源分析

硬件控制系统与仿真机之间的闭环系统中,存在多种延迟。这些延迟的来源可以归纳为两类:一类是控制系统自身的延迟;另一类是仿真机的延迟。在滞环电流控制中,控制系统采用的是模拟电路,而仿真机采用的是数字处理器,因而二者延迟的来源存在明显的不同。

2.1 控制系统的延迟

控制系统自身的典型延迟包括:

1) 信号滤波延迟。即真实模拟信号被控制系统中的信号调制电路滤波导致的延迟。这里具体为电流在控制板上滤波导致的延迟。

2) 滞环比较 PWM 输出传输带来的延迟。即 PWM 信号发出到变换为仿真机接受的门极信号之间,因逻辑门电路及滤波环节产生的延迟。

滞环控制系统的延迟是固有的延迟,无论被控对象是仿真机还是真实变流器,这部分延迟都是存在的,因此不是这里讨论的重点。

2.2 仿真机的延迟

仿真机本质上是一套数字系统,由“PWM 输入-数字化处理器计算-模拟量输出”环节组成,因此它的典型延迟包括:

1) PWM 输入预处理带来的延迟。即输入 PWM 经过周期平均化和边沿检测后形成数字量的过程所带来的延迟。

2) 数字通信带来的延迟。即经预处理后的 PWM 数字信号(一般是周期平均值和边沿时间戳)进入处理器计算前,以及处理器计算完成后到 PWM 调制前,因板上或板间通信(通常板间通信更为明显)导致的延迟。

3) 处理器计算周期带来的延迟。即因处理器控制循环周期计算导致的一拍或多拍延迟。本质上是离散化系统所固有的延迟。

4) D/A 转换输出带来的延迟。本质上 D/A 是一种零阶保持器,它具有固有的延迟特性。

处理器计算周期延迟取决于处理器的速度、所用实时操作系统的类型以及任务量,目前市场上的实时仿真器产品将其控制到一个仿真步长之内已没有太大的难度,但仿真步长越大延迟越大。

输入到输出延迟的关键主要在于信号进入处理器前和出处理器后的阶段,包括板间通信、PWM 输入处理和 D/A 输出处理。一般仿真机出于易扩展考虑,采用与处理器相独立的输入/输出卡的架构,这决定了板间通信的必然性。必须采用非常高速的通信总线才能将延迟控制得足够小。此外, PWM 输入预处理 D/A 的保持时间即为一个步长,因此输入到输出的总延迟时间实际会很可观,通常能够达到 2~3 个步长。

综上,可以将仿真机的延迟归纳为 3 部分:输入延迟 T_i 、输出延迟 T_o 以及周期离散化延迟 T_s ,如图 5 所示。从输入到输出的总延迟 $T_D = T_i + T_o + T_s$ 。

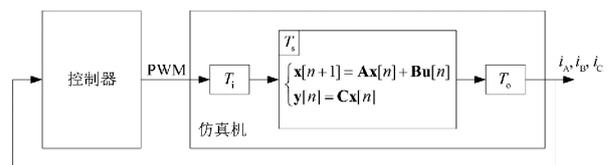


图5 仿真机的延迟组成

3 仿真系统延迟对滞环控制影响分析

如图 5 所示,从滞环控制器的视角看,如果被控对象是真实的逆变器,当控制器的 PWM 输出后,那么逆变器立即就会响应;同时各相并网电流也会立即发送变化,控制器能够立即感受到该变化,记此电流为真实电流 i_{abc} 。但采用仿真机模拟真实逆变器后,由于仿真机从输入到输出存在延迟,实际上要到 T_D 时刻之后,控制器才能感受到各相并网电流的变化,记此电流为延迟后的电流 $i_{abc_delayed}$ 。

在滞环控制器设计时,其控制率设计为

$$PWM_{abc} = \begin{cases} ON & \text{if } i_{abc_ref} - i_{abc} > I_{band} \\ OFF & \text{if } i_{abc_ref} - i_{abc} < -I_{band} \\ NO\ change & \text{if } -I_{band} < i_{abc_ref} - i_{abc} < I_{band} \end{cases} \quad (1)$$

式中: i_{abc_ref} 为电流参考给定; i_{abc} 为反馈电流; I_{band} 为滞环比较带宽。由于仿真机的延迟存在,送入控制

器的不再是真实的电流 i_{abc} , 而成为了 $i_{abc_delayed}$ 。由此, 滞环比较的过程也将发生变化, 如图6所示。

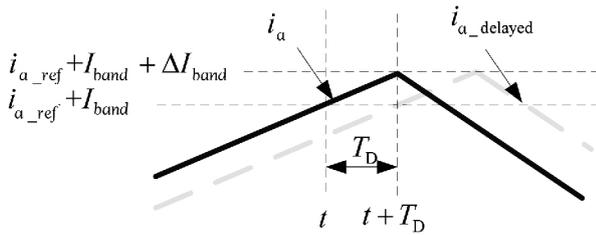


图6 仿真机有延迟情况下的电流滞环控制过程

当A相真实电流 i_a 于 t 时刻上升至上门限 $i_{a_ref} + I_{band}$ 时, 本应在 t 时刻发生滞环比较并因 IGBT 开关动作电流发生转折向下翻转, 但由于控制器实际获得的反馈电流 $i_{a_delayed}$ 尚未达到该上门限, 因此控制器并未动作, 真实电流将继续上升。直到 $t + I_D$ 时刻, 延迟后电流 $i_{a_delayed}$ 到达滞环比较上门限 $i_{a_ref} + I_{band}$ 时, 控制器才动作, A相真实电流此时才开始下降, 这时真实电流 i_a 已经超出了滞环比较上门限电流, 超出量为 ΔI_{band} 。由图6可以计算得到:

$$\Delta I_{band} = \frac{di}{dt} T_D = \frac{u_{dc}}{2L} T_D \quad (2)$$

式中: 电流斜率 di/dt 用 $u_{dc}/(2L)$ 来估计; u_{dc} 为逆变器直流母线电压; L 为并网电感量。

由以上分析可以看出, 仿真机的输入到输出延迟将导致滞环比较带宽增加, 进而降低滞环比较控制的开关频率, 让并网逆变器的电流谐波增大, 使得硬件在环仿真下的控制器性能劣于真实系统, 无法真实有效地模拟真实系统。

4 实验结果

为定量评估仿真系统延迟对滞环控制影响的大小, 采用了对比研究的方式。首先采用纯离线仿真的方式, 来获得被控对象在没有延迟的真实变流器情况下的控制性能, 然后再通过硬件在环仿真获得被控对象在有延迟仿真机时的控制性能。通过对比观察二者的差异。仿真主要参数如表1所示。

1) 纯离线仿真验证

纯离线仿真中的控制器和并网逆变器均在仿真软件中进行。控制器采用模型搭建, 但充分考虑实物控制器的所有滤波及延迟环节, 对其进行详细建模, 保证其特性一致。并网逆变器模型使用开关模型, 同时不进行离散化, 保证精度。由于控制器与并

网逆变器都在连续域中, 因此采用变步长连续求解器进行仿真, 最大仿真步长 $1 \mu s$, 进一步保证精度。

表1 并网逆变器滞环电流控制仿真主要参数

参数	值
额定电压/V	690
额定频率/Hz	50
并网电感/mH	0.12
直流母线电压/V	1150

相电流给定为 400 A, 功率因素为 1, 滞环带宽 I_{band} 设定为 50 A。仿真结果如图7所示。

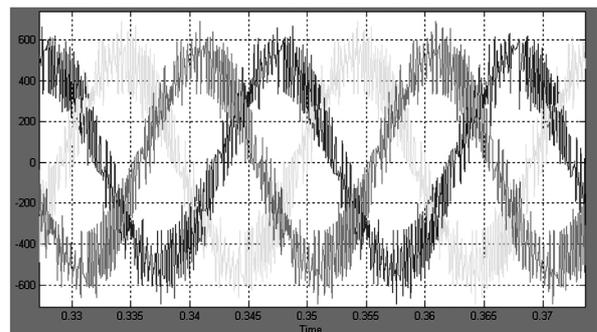


图7 变流器三相并网电流波形

实测开关频率大约为 2.65 kHz, 并网电流 THD 为 20%。值得注意, 由于基波电流较小, 因此谐波比例相对较大。

当在真实变流器模型中加入 $30 \mu s$ 延迟后, 仿真获得的电流波形如图8所示。

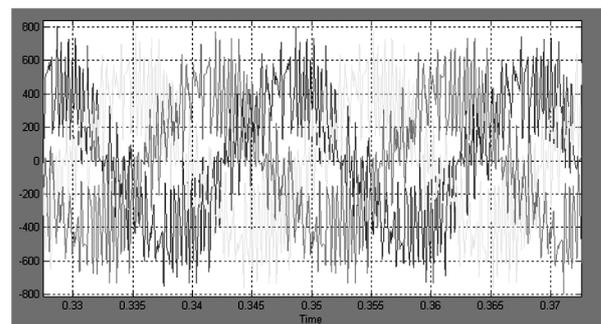


图8 加入延迟时变流器三相并网电流波形

可以看出, 实测开关频率降低为 1.65 kHz, 电流波形质量变差, 并网电流 THD 上升为 50%。

2) 硬件在环仿真实验验证

控制器采用实物控制器, 硬件在环仿真验证的仿真机采用 RT-LAB, 仿真机采用 OP5600, 实验系统如图9所示。其中所关注的控制器是网侧控制器, 其工作于滞环电流控制方式下。接口板实现网侧控制器与 RT-LAB 仿真机的电平接口。

在硬件在环的仿真模型上, 使用 ARTEMIS 和



图 9 RT-LAB 硬件在环仿真实验系统

RT-Event 库元件构建被控变流器模型,以提高仿真的实时性。仿真步长为 $10 \mu\text{s}$,仿真模型如图 10 所示。

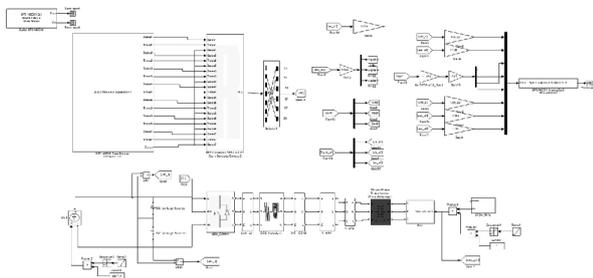


图 10 RT-LAB 中的并网逆变器模型

根据实际测试,步长为 $10 \mu\text{s}$ 时,仿真机 OP5600 的输入到输出延迟约为 3 个步长,即 $30 \mu\text{s}$ 。在滞环带宽设定为 50 A 时,仿真结果如图 11 所示。

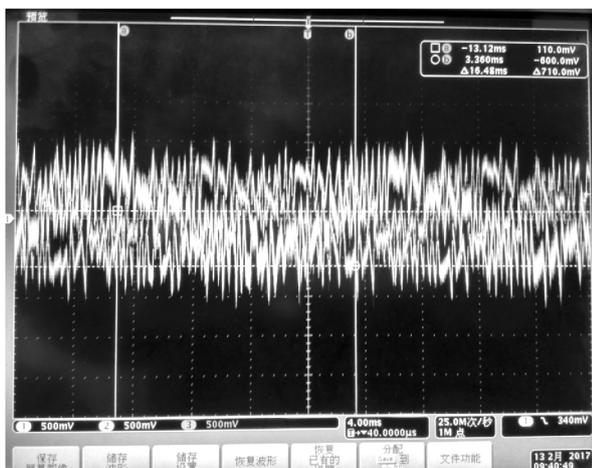


图 11 RT-LAB 硬件在环仿真结果

实测开关频率大约为 1.55 kHz ,并网电流 THD 为 70% 。

对比纯离线仿真结果可以看出,由于输入输出延迟的存在,硬件在环仿真结果比真实结果差很多,并且其开关频率和 THD 与假定有 $30 \mu\text{s}$ 延迟的真实系统接近,说明硬件在环仿真机的输入输出延迟对滞环控制仿真而言影响非常大。

5 结 语

通过上述研究可以得出,硬件在环实时仿真系统仿真机的输入到输出延迟对滞环电流控制有明显的负面影响,它会导致滞环比较带宽增加,进而降低滞环比较控制的开关频率,让并网逆变器的电流谐波增大,使得硬件在环仿真下的控制器性能劣于真实系统。并且,即使仿真机保持较小的仿真步长,但也可能无法真实有效地模拟出真实的滞环电流控制系统的性能。

同时,通过研究还可以看到,电力电子研发不能过分信任半实物仿真结果,必须要充分认识仿真系统的工作原理、性能和限制,注意甄别其结果的准确性和正确性。对硬件在环仿真,不仅要注重仿真步长,也要注意输入到输出延迟这一技术指标。

直观上,采用具有更高性能的仿真机可以缓解延迟的影响。但需要注意到,缩短输入到输出延迟需要缩短步长以及缩短输入和输出环节的时间。缩短步长意味着更高速的迭代求解,而缩短输入、输出时间意味着采用更高性能的通信总线以及输入输出板卡(高速 FPGA、D/A)等。仿真机求解过程主要是矩阵计算过程,本质上是用数值计算方法求解一系列微分、差分和代数方程组。因此,随着被控对象的复杂化,仿真规模的增加,其计算难度和消耗的时间成倍数增长,缩短步长需要更高速的 CPU 和实时操作系统。同时,仿真机板卡分布式的构架使得通信延迟不可避免,需要高速的并行或者串行总线。总之,这些都带来仿真机成本的显著提高。并且,随着开关频率的提高,一味地通过提高仿真机性能来解决硬件在环仿真准确度问题的思路并不可取,未来需要考虑其他技术手段来缓解该问题。

参考文献

- [1] 吴小田,代同振,肖文静,等. 基于 RT-LAB 的风力发电网侧变流器实时仿真[J]. 电力电子技术, 2013, 47(10): 17-19.
- [2] 刘静波,肖文静,周宏林,等. 基于 RTDS 的风电网侧变

流器半实物实验 [J]. 电力电子技术, 2013, 47(10): 20 - 21.

[3] P. N. Tekwani, R. S. Kanchan, K. Gopakumar. Novel Current Error Space Phasor Based Hysteresis Controller Using Parabolic Bands for Control of Switching Frequency Variation [J]. IEEE Transactions on Industrial Electronics, 2007, 54(5): 2648 - 2656.

[4] D. M. Brod, D. W. Novotny. Current Control of VSI - PWM Inverters [J]. IEEE Transactions on Industry Applications, 1985, IA - z1(4): 562 - 570.

[5] M. P. Kazmierkowski, M. A. Dzieniakowski, W. Sul - kowski. Novel Space Vector Based Current Controllers for PWM - inverters [J]. IEEE Transactions on Power Electronics, 1991, 6(1): 158 - 166.

[6] B. K. Bose. An Adaptive Hysteresis - band Current Control Technique of A Voltage Fed PWM Inverter for Machine Drive System [J]. IEEE Transactions on Industrial Electronics, 1990, 27(5): 402 - 408.

[7] L. Malesani, P. Mattavelli, P. Tomasin. High - performance Hysteresis Modulation Technique for Active Filters [J]. IEEE Transactions on Power Electronics, 1997, 12

(5): 876 - 884.

[8] M. Mohseni, S. M. Islam, M. A. S. Masoum. Enhanced Hysteresis - based Current Regulators in Vector Control of DFIG Wind Turbines [J]. IEEE Transactions on Power Electronics, 2011, 26(1): 223 - 234.

[9] M. Mohseni, S. M. Islam. A New Vector - based Hysteresis Current Control Scheme for Three - phase PWM Voltage - source Inverters [J]. IEEE Transactions on Power Electronics, 2010, 25(9): 2299 - 2309.

[10] C. N. Ho, V. S. P. Cheung, H. S. Chung. Constant - frequency Hysteresis Current Control of Grid - connected VSI without Bandwidth Control [J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2477 - 2488.

[11] L. Dalessandro, S. D. Round, J. W. Kolar. Center - point Voltage Balancing of Hysteresis Current Controlled Three - level PWM Rectifiers [J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2477 - 2488.

作者简介:

周宏林(1984), 博士、高级工程师、副主任研究员, 研究方向为工业控制、电气传动及风力发电技术。

(收稿日期: 2017 - 09 - 15)

(上接第 60 页)

需整定的电流元件并带 50 ms 延时后跳变压器各侧断路器^[6]。其逻辑框图如图 11 所示。

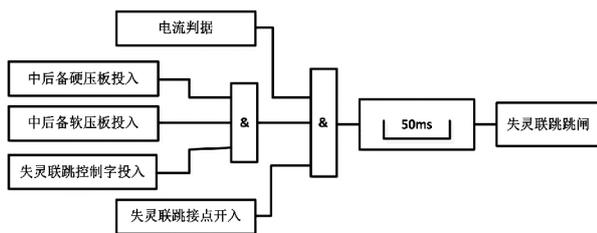


图 11 六统一变压器保护失灵联跳逻辑图

六统一主变压器保护和母线保护之间配合判断主变压器中压侧断路器失灵回路变得相对简单。主变压器电量保护中不存在可整定的失灵延时, 而母线保护涉及失灵延时的仅有两个定值, 即失灵出口短延时和长延时, 如图 10 所示。

2 结 语

失灵保护是高压电网中一种近后备保护, 对电网的故障隔离和稳定运行有非常重要的作用。但是因接线方式、保护配置等不同, 失灵保护的实现方式存在较大差异。前面介绍了主变压器断路器失灵保护在实际工程中的三种实现方式, 即: 由变压器非电量及辅助保护装置单独实现; 由变压器非电量及辅助保护装置与母线保护装置配合实现; 以及由母线

保护装置单独实现。具体的实现方式要根据工程中所配置的保护装置类型以及二次回路的接线决定。失灵保护的整定计算需建立在充分了解二次回路及保护装置原理的基础上, 否则可能因误整定造成继电保护误动或拒动。

参考文献

[1] 王梅义. 高压电网继电保护运行与设计 [M]. 北京: 中国电力出版社, 2007: 139 - 140.

[2] 南京南瑞继保电气有限公司. RCS - 974FG 型变压器非电量及辅助保护装置技术说明书 [Z]. 南京: 南瑞继保电气有限公司.

[3] 南京南瑞继保电气有限公司. RCS - 915GC 型母线保护装置技术说明书 [Z]. 南京: 南瑞继保电气有限公司.

[4] 南京南瑞继保电气有限公司. RCS - 915AS 型母线保护装置技术说明书 [Z]. 南京: 南瑞继保电气有限公司.

[5] 国家电网公司. 国家电网继电保护整定计算技术规范: Q/GDW 422 - 2010 [S]. 北京: 中国电力出版社, 2010.

[6] 国家电网公司. 变压器、高压并联电抗器和母线保护及辅助装置标准化设计规范: Q/GDW 1175 - 2013 [S]. 北京: 中国电力出版社, 2013.

作者简介:

郭晓鸣(1987), 工程师、硕士研究生, 主要研究方向为电力系统稳定与控制。

(收稿日期: 2017 - 10 - 17)