

# 一种带串行接口低功耗 A/D 转换器的逻辑控制策略

沈策<sup>1</sup> 文旭<sup>2</sup> 胡鑫<sup>3</sup>

(1. 重庆市电力公司, 重庆 410014; 2. 输配电装备及系统安全与新技术国家重点实验室 (重庆大学), 重庆 400030; 3. 四川省电力公司, 四川 成都 610041)

**摘要:** 为了实现远程电能质量监测仪的低功耗、小型化, 提出了一种使用带串行接口低功耗 A/D 的并行多通道采集方案。在介绍了该基于嵌入式采集方案总体设计思想后, 具体给出了应用 FPGA 来实现该带串行接口低功耗 A/D 转换器的复杂控制逻辑。该逻辑控制中采用了 FSM、FIFO 等设计模块; 最后, 运用相应的 EDA 工具对所设计的 A/D 时序控制逻辑的正确性进行了仿真验证。所提方案在便携式测试仪器的设计中也具有较高的实用价值。

**关键词:** 低功耗; 串行接口; A/D 转换; FPGA; 嵌入式处理器; 电能质量监测

**Abstract:** In order to realize the low-power consumption and miniaturization of the remote power quality monitor, a kind of parallel multi-channel acquisition scheme using micro-power A/D converter with a serial interface is presented. After introducing the designing ideas of total acquisition scheme based embedded processor, the implementation of complex logic control for the micro-power A/D converter using FPGA is given in detail. The logic control models include FIFO, FSM et al. At last, the correctness of sequential design to control the A/D converter is verified by the simulation experiment with EDA tools. The proposed scheme also has great practical values for the design of portable test instrument.

**Key words:** low power consumption; serial interface; A/D conversion; FPGA; embedded processor; power quality monitoring  
中图分类号: TM933 文献标志码: A 文章编号: 1003-6954(2013)03-0042-04

随着电能质量监测仪朝着网络化、小型化方向发展, 对它的功耗限制也就提出了更高要求<sup>[1]</sup>。众所周知, A/D 转换是电能质量监测仪的核心器件, 其功耗、体积已直接成为影响监测仪能否实现小型化、低功耗的重要因素。常见带并行接口的 A/D 转换器件, 虽然具有逻辑控制较为简单、设计比较方便的优点; 但因该类 A/D 芯片管脚较多、体积较大, 尤其是其功耗较高, 因此在低功耗、小型化设计中受到了较大的局限。为此, 提出了一种使用带串行接口的低功耗 A/D 的并行多通道采集方案, 并着重给出了基于 FPGA 来设计带串口的低功耗 A/D 转换的复杂控制逻辑的实现途径, 以满足远程电能质量监测仪低功耗、小型化设计的要求。

## 1 电能质量监测仪的结构

为了监测谐波、功率因素、闪变、相位等各项电能质量指标, 监测仪需要测量三相电流、电压等参数, 然后再根据这些参数来作进一步的综合分析, 以得出各项电能质量指标<sup>[2, 3]</sup>。同时考虑到远程监测

的需要, 设计的基于 GPRS 电能质量监测结构如图 1 所示。

由图 1 可知, 该监测仪主要由六路并行的 A/D 采集通道、FPGA 控制模块、嵌入式微处理器、GPRS 无线通信模块组成。为扩展数据采集端存储容量, 嵌入式微处理器还连接有电子硬盘。六路模拟信号 (三相电流、三相电压) 分别经过各自的信号调理电路调理后, 再进入六路独立的带串行接口的 A/D 进行同步采集; 而复杂的采集时序逻辑控制, 则主要由 FPGA 来完成; 嵌入式微处理器除了控制整个采集及 A/D 数据的预处理外, 还将通过控制 GPRS 模块, 将所获得的电能质量参数, 经 GPRS 网络传给监控中心, 从而完成最终的电能质量综合分析。

根据系统指标, 选带串口的低功耗 A/D 转换芯片为 ADS8321<sup>[4]</sup>, 该芯片有以下优点: A/D 转换精度高 (16 位), 体积较小, 采样率为 10 Ksps 时功耗低于 1 mW, 非常适合小型化、低功耗监测仪器的设计要求。为进一步降低系统整体功耗, 其控制逻辑采用 ALTERA 公司的支持低功耗工作模式的 FPGA 来完成。

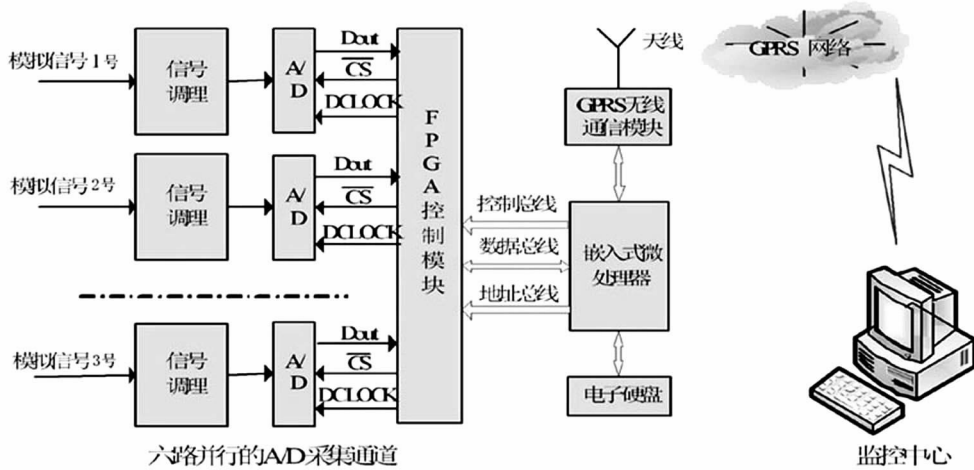


图1 基于 GPRS 电能质量监测仪结构

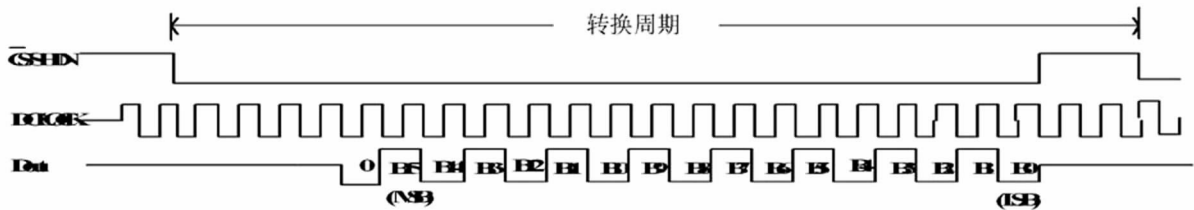


图2 ADS8321 的转换时序逻辑图

在这个论述范围,故在此不做介绍)如图3所示。

## 2 低功耗 A/D 控制逻辑设计

### 2.1 ADS8321 的工作时序

此监测仪 A/D 芯片 ADS8321 的基本时序图如图 2 所示<sup>[4]</sup> ,图中给出了一个完整的 A/D 转换时序逻辑周期。其中 CS/SHDN 为片选信号;DCLOCK 为串行转换同步时钟,由其决定转换频率;Dout 为 A/D 转换后的串行数据输出端。当 CS/SHDN 为低时,芯片选通信号有效,在此信号下,前 4 个时钟为对输入的模拟信号采样时间,此后的 16 个时钟为 16 位串行数据依次从 LSB ~ MSB(最低有效位到最高有效位)在 Dout 端输出。数据输出结束后,在 CS/SHDN 由低变为高时,ADS8321 处于非片选状态,至此一个转换周期结束。由图可知,为了保证 16 位数据转换顺利输出,至少需要 22 个转换状态,这里采用有限状态机 FSM( finite state machine) 的状态逻辑控制,共 22 个转换状态。

### 2.2 FPGA 逻辑控制设计实现

根据图 2 中 ADS8321 的 A/D 转换时序逻辑图,对应的 FPGA 控制逻辑可分为译码控制模块、FSM 控制模块、FIFO( first in first out) 模块、时钟模块共 4 个(在 FPGA 中还有许多实现其他功能的模块,因不

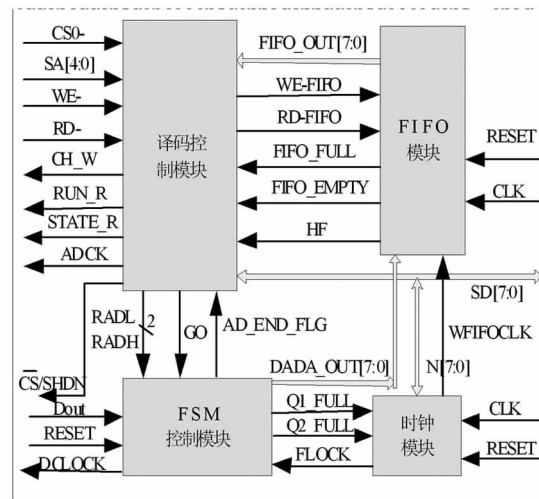


图3 FPGA 控制逻辑图

因该监测仪有 6 个数据采集通道,就对应应有 6 个 FSM 控制模块,而各 FSM 控制模块原理类同,故现只取其中一个 A/D 转换通道的控制逻辑进行描述。

图 3 译码控制模块中:由译码基地址 CS0\_和译码地址 SA [4: 0]根据 RD\_和 WE\_的微处理器的读写信号,产生设置输入数据通道和量程选择信号 CH\_W 和启动 A/D 转换信号 RUN\_R、读 A/D 转换状态信号 STATE\_R 以及 ADCK 为 AD 转换周期、

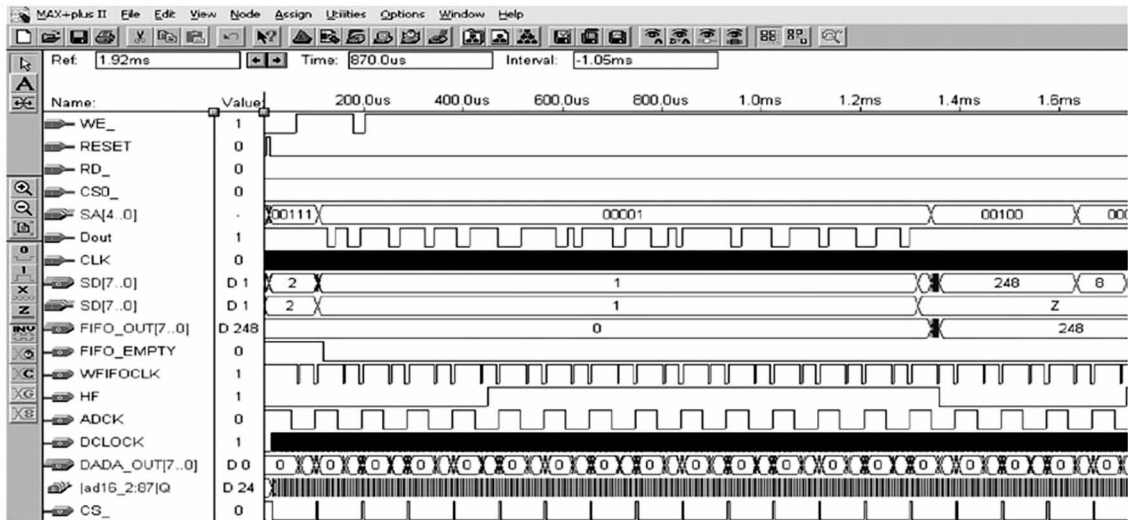


图4 控制逻辑仿真波形图

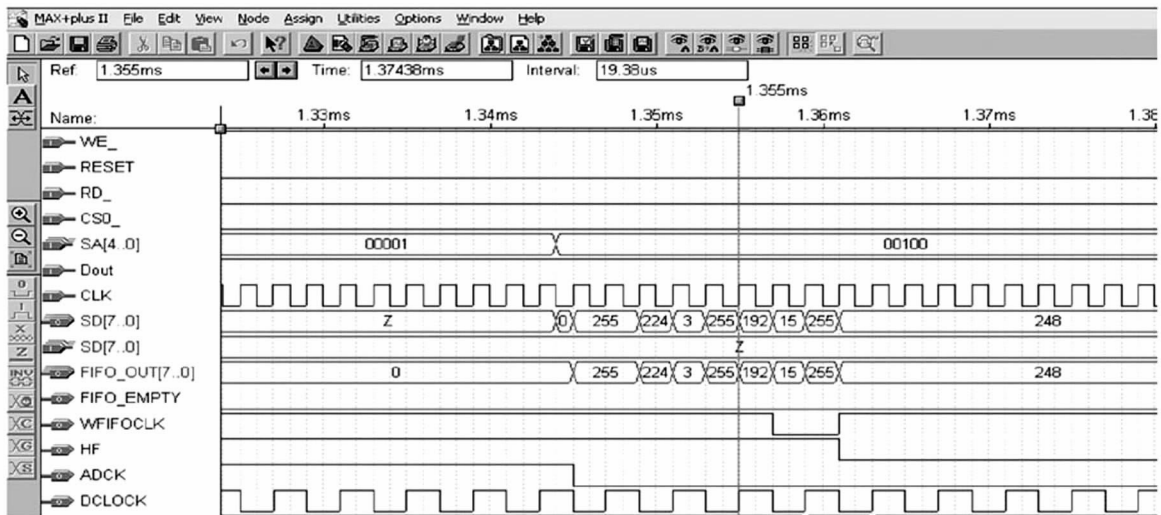


图5 时序放大图(1.356 ms处)

CS/SHDN 为 AD 片选信号;另外 ,RADH 读数据高 8 位;RADL 为读数据低 8 位;GO 为 FSM 转换控制字。在 FSM 控制模块中 ,Dout 接 AD 芯片输出的串行数据;FCLOCK 由时钟模块产生的 FSM 的转换时钟;DCLOCK 为 AD 转换的同步时钟 ,由其决定转换 AD 的转换速率;Q1\_FULL 为数据转换后的低 8 位结束信号 ,Q2\_FULL 为高 8 位转换结束信号 ,这两个信号在时钟模块中进一步产生写 FIFO 的时钟 WFIFOCLK。AD\_END\_FLG 为 AD 转换结束标志位 ,以用于 AD 转换状态的判断。在时钟模块中 ,N [7:0] 为对时钟模块设置的分频初值以控制 FCLOCK 的产生频率。在 FIFO 模块中 ,WE\_FIFO 和 RD\_FIFO 的读写 FIFO 信号根据 FIFO\_FULL、FIFO\_EMPT 及 HF 为 FIFO 的存储状态标志位对 FIFO 中的数据作读写操作。另外:在各模块中 RE-SET 为复位信号;CLK 为全局时钟。

通过上述各个信号的逻辑控制 ,由总线译码控制模块对 1~6 号输入通道按时序循环选通 ,AD 转换后的串行数据由 Dout 端进入 FPGA 中的逻辑控制模块中;16 位串行数据在 FSM 中就转化为并行数据 DADA\_OUT [7:0] (及 16 位数据分高低两次) 存储到 FIFO 中 ,由微处理器根据 FIFO 的状态标志位将 FIFO 的数据读出到 FIFO\_OUT [7:0] 上 ,再由总线译码模块将数据传至微处理器的双向数据总线 SD [7:0] 上。从而在微处理器中完成数据的运算。

### 3 FPGA 的控制逻辑仿真

根据上面所描述的数据控制流程 ,采用 EDA 工具<sup>[5]</sup>设计的仿真时序如图 4 所示 ,图中重点给出了数据经过 FSM 后进入 FIFO 中和 FIFO 中数据读出到嵌入式微处理器数据总线 SD [7:0] 的波形图。

译码地址为 00111 时为设置时钟模块的分频初值;译码地址为 00001 时是采集 A/D 转换后的数据进入 FIFO 中(图中设采集的前 8 个二进制数依次为 11111111、11110100、00000011、11000000、00001111、11110100、11111000)。当 FIFO 中的半满标志位为高时(为了仿真方便,设置的 FIFO 深度为 16,故数据存储深度为 8 时产生半满,实际电路中 FIFO 深度改变其参数为 2K 即可),译码地址为 00100 时,且读 RD\_信号有效时,对应读取 FIFO 中的数据到数据总线上 SD [7:0]。从图 5 的逻辑放大图中显示了数据总线 SD [7:0] 上依次读出数据时的波形:输出的数据依次为 255、244、3、255、192、15、255、248 (对应二进制数分别为 11111111、11110100、00000011、11000000、00001111、11110100、11111000) 共计 8 个数据。输出完 8 个数据时,半满标志位 HF 从 1 变为 0,从而 FIFO 中的数据自动不再允许读出。以防止 FIFO 中的数据读空。由图 4 知 CS\_、ADCK、WFIFOCLK 等信号时序均正确。根据电能质量监测系统的采样要求,采样频率设定为 10K。以上数据的正确读出验证了相关控制信号时序设计的正确性,也验证了整个设计方案的合理性。

#### 4 结 语

为满足远程电能质量监测系统便携式监测终端的低功耗、小型化的需要,在一片 FPGA 上完成了多通道带串行接口的低功耗 A/D 的逻辑控制。设计中采用了 FSM、FIFO 等设计模块来完成其逻辑控

制的设计,经验证其控制逻辑能有效对采集的数据进行读写,实际应用中达到了降低系统整体功耗的设计要求。采用 FPGA 的硬件描述语言的设计方案,使得电路的设计更加灵活、高效,也降低了电路制作 PCB 板的面积开销,也使得电路的集成度更高,系统更加稳定、可靠;由于 FPGA 具有可远程更新的能力,它能够满足了现代仪器网络化中对终端系统进行在线升级的要求。此 A/D 转换逻辑控制的方案不仅适用于前面所描述电能质量监测系统中,在其他对低功耗、小型化要求较高的便携式仪器的嵌入式系统的设计中也有较大的应用价值。

#### 参考文献

[1] HongLi Zhou. GPRS Based Power Quality Monitoring System[C]. Networking, Sensing and Control, 2005 Proceedings. 19 - 22 March 2005, Chalmers University of Technology. USA.

[2] 刘芯宇. 基于 GPRS 的电费抄收催一体化技术在电力系统中的应用[J]. 四川电力技术, 2012, 35(3): 58 - 61.

[3] IEEE Standard 1159. IEEE Recommended Praterice for Monitoring Power Quality [S].

[4] 16\_Bit\_High Speed, Micro Power Sampling Analog - to - Digital Converter [OL]. <http://html.alldatasheetcn.com/html-pdf/56565/BURR-BROWN/ADS7835/501/1/ADS7835.html> 2011 - 10 - 11.

[5] Bhasker, J. Verilog HDL Synthesis: A Proactical Primer [M]. Star Galaxy Publishing, PA, 1998.

#### 作者简介:

沈 策(1954),男,专责工程师,主要从事电力系统及其自动化的研究和管理工。 (收稿日期:2013-02-01)

(上接第 14 页)

#### 4 结 论

四川电网已形成了特高压交直流混联电网,未来还将形成特高压交直流并列运行的格局。为此,对四川特高压交直流电网安全运行保障技术框架进行了研究,对指导四川电网防御控制系统的实施具有一定的参考作用。

#### 参考文献

[1] CIGRE WG C2.02.04 Technical Brochure: Defense Plan against Extreme Contingencies [J]. Electra, 2007(231): 47 - 61.

[2] 薛禹胜. 综合防御由偶然故障演化为电力灾难——北美“8.14”大停电的警示[J]. 电力系统自动化, 2003, 27(18): 1 - 5.

[3] 陈相宜, 陈允平, 李春艳, 等. 构建大电网安全防御体系——欧洲大停电事故的分析及思考[J]. 电力系统自动化, 2007, 31(1): 4 - 8.

[4] 李碧君, 许剑冰, 徐泰山, 等. 大电网安全稳定综合协调防御的工程应用[J]. 电力系统自动化, 2008, 32(6): 25 - 30.

[5] 汪际峰, 沈国荣. 大电网智能化的若干关键问题[J]. 电力系统自动化, 2012, 36(1): 10 - 16.

[6] 薛禹胜, 肖世杰. 综合防御高风险的小概率事件: 对日本相继天灾引发大停电及核泄漏事件的思考[J]. 电力系统自动化, 2011, 35(8): 1 - 11.

(收稿日期:2013-02-05)