

基于 ARM 和 FPGA 的智能变电站全场景 试验装置硬件平台设计

吴杰^{1,2}, 黄琦^{1,2}, 井实^{1,2}, 王彪^{2,3}, 张华^{2,3}

(1. 电力系统广域测量与控制四川省重点实验室, 四川 成都 611731;

2. 电子科技大学能源科学与工程学院, 四川 成都 611731;

3. 四川电力科学研究院, 四川 成都 610072)

摘要:针对现有继电保护实验装置均不能对合并单元输出信号的分配、传输环节进行完整检验的缺陷,设计了一种新型基于高级 RISC 微处理器(advanced RISC machines, ARM)和现场可编程门阵列(field-programmable gate array, FPGA)协同工作的智能变电站全场景试验装置硬件平台。结合软件仿真平台,该系统可以实现模拟实际智能变电站内电子式互感器→采集单元→合并单元的数据传输全过程,将实验室进行的试验带到现场,从而方便、快捷、安全地模拟线路中各种故障,为智能变电站二次继电保护试验提供一种新型的试验装置。实验结果表明,硬件平台能正确发送数据并且同步精度达到 20 μs。

关键词:智能变电站;同步对时;仿真故障;FPGA 处理器;RISC 处理器

Abstract: Aiming at the defects of relay protection testing apparatus that the distribution and transmission of output signal of merging unit can not be inspected thoroughly, a new hardware platform of whole-scene testing apparatus based on advanced RISC machines (ARM) and field-programmable gate array (FPGA) is designed. With the software platform, the hardware platform can realize the whole process of data transmission from electronic instrument transformer to acquisition unit, and to merging unit in the real smart substation, which can bring the laboratory tests to the field so that the different faults can be simulated conveniently, fast and safely. It provides a testing apparatus for relay protection in secondary sides of smart substation. The test results show that the data can be transmitted correctly by the hardware platform and the synchronization accuracy is 20 μs.

Key words: smart substation; time synchronization; simulation fault; FPGA processor; RISC processor

中图分类号:TM769 文献标志码:B 文章编号:1003-6954(2012)02-0015-04

0 引言

根据国家电网公司规划,近些年国内将新建大量智能变电站。相对于传统变电站,智能变电站放弃了原有以电缆为媒介传输电气信号的方式,转而采用光纤数字化方式传输运行信息。于是,电子式互感器、合并器、交换机等数字化设备大量出现在智能变电站中,这给变电站信息的接入、分配带来灵活性,提高了变电站内部信息交换能力和处理数据的能力,为实现变电站智能化创造了先决条件,同时也使变电站继电保护试验趋于复杂化,由此加大了二次侧调试的难度^[1]。

变电站二次设备现场试验的目的是对变电站继

电保护设备、测量控制设备、安全自动装置等设备的功能和技术指标进行验证。按照传统试验,继电保护测试仪将电压、电流量按照 IEC 61850 协议打包后传送给保护装置,缺乏测试的整体性,即测试环节不包括合并单元。因此,研究适用于智能变电站条件下的新调试方法及检测装置迫在眉睫。

针对继电保护试验新方法,根据 IEC 60044-8、IEC 61850-9-1/2^[2,3]标准对合并单元的规定,在此基础上提出一种基于 ARM 高级 RISC 微处理器(advanced RISC machines, ARM)和 FPGA 现场可编程门阵列(field-programmable gate array, FPGA)协同工作的智能变电站全场景实验装置硬件平台^[4,5]。如图 1 所示,该系统含有 1 套主装置和多套从装置,以及能够仿真变电站各种故障的软件平台,可真实地模拟一

次侧采集器到二次侧合并单元的过程,完成变电站全站的一次继电保护试验过程,以检验主控室内合并单元、继电保护设备、测控设备等的配置、性能指标以及信息的组织与分配的正确性。

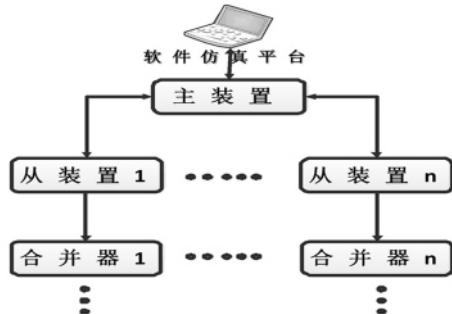


图1 全场景试验平台

1 全场景试验硬件平台设计

1.1 硬件平台方案

硬件系统框图如图2所示,分为主系统和从系统两部分。该系统可以完成无线同步对时和无线同步发送仿真数据的功能。

无线同步对时部分的设计是考虑到两个原因。其一降低现场调试环境的复杂程度,系统同步对时和发送数据均采用无线方式,从而减少了多条网线和GPS天线的连接;其二为了模拟智能变电站全场景实验,一次需要多个从装置给多个合并单元同时输入仿真数据量。

系统的主硬件平台包括GPS解析模块、时间同步模块。GPS解析模块完成接收GPS信号、解析时间、为时间同步模块提供标准时间的任务。于是,利用恒温晶振的短期运行稳定和GPS的长期运行稳定的特点,使二者共同为主硬件平台提供时间基准,有效地防止时钟模块产生积累误差和随机误差的产生;时间同步模块实现与从硬件平台时间同步的功能,在整个系统中,起着标准时钟源的作用。

从硬件平台包括数据接收模块、数据发送模块、时间同步模块。数据接收模块处理、存储通过无线网络接收到的软件平台仿真数据;数据发送模块提取数据接收模块中的数据,编码以后通过电光转换模块发送给合并单元和液晶显示模块;时间同步模块以无线网络为传输介质,采用能到达 μs 级的IEEE 1588协议与主时间同步模块进行同步对时。

由于ARM具有强大的数据处理能力,FPGA拥

有丰富的I/O资源和快速的并行处理能力^[7],硬件平台采用二者协同工作的方案。ARM处理器主要负责接收软件平台的仿真数据以及对数据通道分配处理;FPGA处理器主要负责IEEE 1588同步对时,以及按照特定协议将来自ARM处理器的数据重新编码后发送给合并单元。

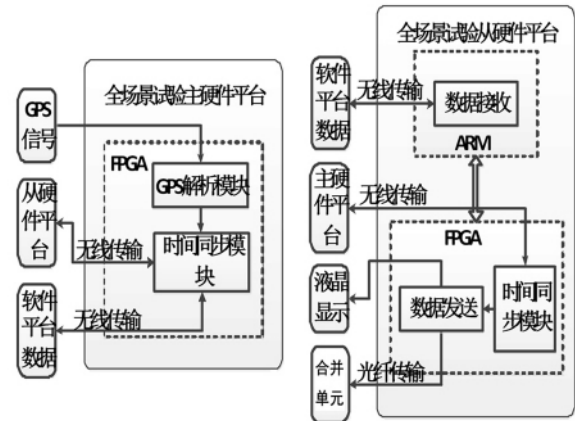


图2 硬件平台功能图

1.2 无线通信

硬件系统是通过无线的方式进行数据的接受和IEEE 1588同步对时,所以在设计其他模块之前,选择一种合适的无线传输技术至关重要,常见的无线传输技术有红外、调频、蓝牙、2.4 GHz等。为了选取合适的传输介质,将上述几种无线传输技术的优缺点归纳到表1中。

表1 常见无线传输技术优缺点

| 类别 | 优点 | 缺点 |
|---------|------------------|-----------|
| 红外 | 带宽大,光波传输 | 接收距离短,单方向 |
| 调频 | 传输距离长,全方位传输 | 单向传递 |
| 蓝牙 | 低成本,抗干扰强 | 传输信息量小 |
| 2.4 GHz | 全双工,抗干扰强,开放式网络协议 | 成本相对较高 |

根据IEEE 1588协议标准^[8],传输介质需要支持双向信号传输,才能实现同步对时功能;而且从硬件平台也要和软件仿真平台通信,需要支持全双工的传输介质,因此,选择2.4 GHz WLAN无线网络作为数据收发和IEEE 1588对时的传输介质,它有支持全双工、开放式协议的优点^[9,10]。无线发射终端采用支持802.11 b/g/n无线标准的网桥,具有体积小、发射功率大、功耗低、组网方便、能显示网中任意子网络的接收功率的特点,为平台快速组件传输网络提供了方便。

数据接收模块需要配置以太网接口,以完成嵌入

式操作系统与网桥之间的以太网通信。由于 AT91RM9200 处理器内部集成有 MAC (medium/ media access control , 介质访问控制) 层 , 因此外部只需配置一块完全集成的和符合成本效益的快速以太网 PHY(physical layer , 物理层) 芯片即可; 同样 FPGA 处理器也需要配置以太网口和 PHY 层来完成到无线网桥的通信过程。

1.3 数据收发模块

数据接收模块通过无线网络接收软件仿真平台仿真数据 , 处理以后存入双口 RAM 中。当收到软件平台的发送数据指令以后 , 数据发送模块通过控制总线请求数据接收模块读取双口 RAM 中的数据 , 然后处理读取的数据并发送给液晶显示屏和合并单元。数据接发模块设计框图如图 3 所示。

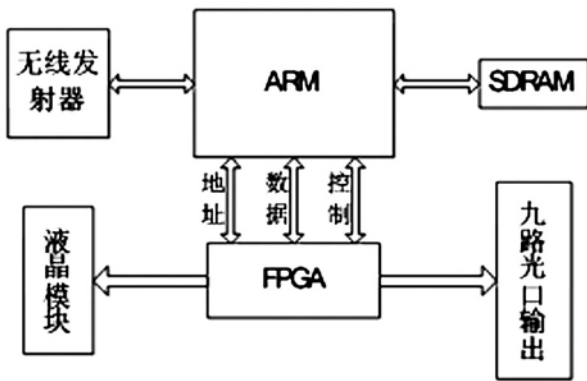


图3 数据接发模块框图

ARM 处理器接收软件平台通过无线网络发送来的数据 , 经过 CRC 校验、分配 9 路输出数据通道后 , 经数据总线存入 2 片 8 MB 的双口 RAM 中。数据发送模块和数据接收模块通过双口 RAM 进行数据交互 , 每次从一块双口 RAM 中提取半个周波的数据到数据接收模块进行编码 , 将其按照特定协议转换成合并单元能够识别的 9 路电信号 , 然后以时钟同步模块提供的准确时间为基准 , 将电信号传输给电光转换模块。

电光转换模块具有传输带宽高、抗干扰性能强、信号稳定、无误码率的要求 , 以保证合并单元接收到正确的光信号。

1.4 时钟同步模块

为了实现同步定时 , 时钟同步模块由主同步模块和从同步模块构成。作为整个硬件平台的时钟标准 , 主时钟同步模块需要高精度的 GPS 作为时间标准 , 以确保自身时钟的准确性 , 然后在与从时钟模块完成

IEEE 1588 同步定时 , 同时主时钟内部还装有一个高精度的恒温晶振 , 弥补 GPS 失效时不能给从时钟模块提供精准时间的缺陷; 各从同步模块依次同主时钟模块进行 IEEE 1588 定时 , 等全部同步定时完成以后 , 完成主时钟模块、从时钟模块、GPS 三者同步的目的。于是各从硬件平台同步给合并单元发送仿真数据 , 保证了合并单元要求的接收数据时间延迟。具体框图见图 4。

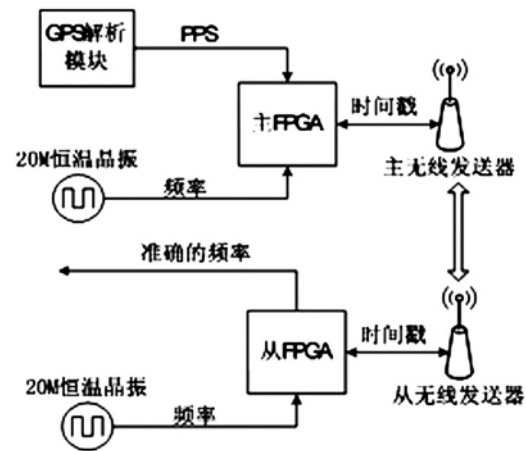


图4 时钟同步模块

GPS 解析模块具有体积较小、误差小、功耗小、易集成到装置中、支持纽扣电池供电等优点。当收到 GPS 解析模块解析出来的时间信息和产生的 PPS (pulse per second , 秒脉冲) 信号 , 主时钟模块利用 PLL(phase locked loop , 锁相环) 将 20 MHz 频率倍频到 50 MHz 后 , 将产生 PPS 信号与 GPS 产生的 PPS 比对 , 然后修正自身的时钟; 从同步模块是由 20 MHz 的恒温晶振、FPGA 处理器以及 PHY 层等构成。按照 IEEE 1588 的标准 , 从同步模块与主同步模块定时 , 直到同步到主时钟上然后给数据发送模块提供时间依据 , 确保各个合并单元收到的数据延迟都在指标内。

2 系统测试与验证

2.1 实验平台

为简单、快捷、有效地验证硬件平台功能 , 选取一套主装置和两套从装置 , 在实验室模拟智能变电站实际情况 , 分别给绵阳线和赤化线的两个合并单元发送仿真平台的模拟互感器的数据量。实验环境如图 5 所示 , 验证硬件平台能否将软件平台的仿真数据准确地发送给合并单元的功能 , 同时检验两个从硬件

平台的同步效果。

首先,通过无线网络,软件平台将事先仿真的赤化线上 CA 相间短路数据发送给两台从硬件平台,然后主平台依次同两个从硬件平台完成 IEEE 1588 同步对时,最后在得到仿真软件下发的仿真实验开始指令后,两个硬件平台通过光纤将存储的数据发送给各自的合并单元。当接收到合并单元发送来带有故障信息的报文时,数字录波器记录下合并单元输出的一次侧电流、电压以及相角值。通过分析仿真软件的波形文件和数字录波器上录制的波形文件,可以检验该套硬件平台方案的可行性。



①软件平台②主硬件平台③2套从硬件平台
④合并单元⑤数字录波器
图 5 模拟现场实验

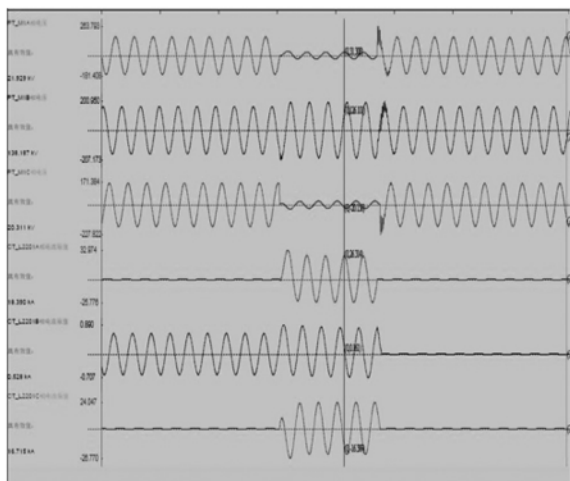


图 6 软件平台仿真 CA 相间接地短路波形

2.2 数据接发模块

通过比对仿真软件的波形和数字录波器上录制

的波形,可以定性和定量地验证硬件平台数据接收模块和数据发送模块的正确性。图 6 是软件平台仿真出来的 CA 两相接地短路波形;图 7 为数字录波器录制的合并单元输出的波形。

由图 6 可以看出,CA 相间短路故障在 0.6 s 时刻发生,持续 0.1 s (5 个周波)后,在 0.7 s 时刻结束。

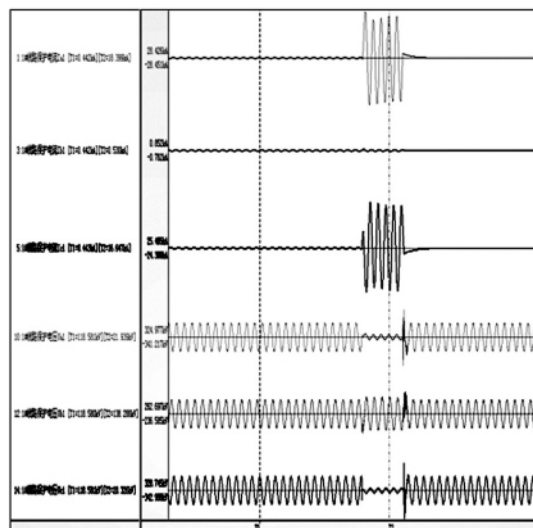


图 7 录波器显示 CA 相间接地波形

由图 7 可以看出,数字录波器显示的波形也是在 0.6 s 时刻发生 CA 相间故障,持续 5 个周波以后,在 0.7 s 时刻结束故障,恢复稳定态,正确地重现 CA 相间短路故障的波形,且故障前、故障中、故障后的波形和图 4 基本一致,定性验证硬件平台数据发送和数据接收模块的正确性。为定量说明,将仿真平台的仿真数据和数字录波器上读取的实验数据列入表 2 中。

由表 2 可得,在整个仿真过程中,软件平台仿真数值和数字录波器得到的数值误差均在 1% 以内,满足实验要求,定性验证硬件平台传输数据的能力。

表 2 录波器与仿真平台的电压/电流数值

| 测试参数 | | 仿真值 /(kV/kA) | 实测值 /(kV/kA) | 误差 /% |
|------|---------------|-----------------|-----------------|----------|
| 故障前 | $U_a/U_b/U_c$ | 118.50 | 118.58 | 0.070 |
| | $I_a/I_b/I_c$ | 0.440 | 0.442 | 0.455 |
| | U_a | 21.92 | 21.94 | 0.096 |
| 故障 | U_b | 138.15 | 138.23 | 0.059 |
| | U_c | 20.33 | 20.34 | 0.074 |
| | I_a | 18.370 | 18.407 | 0.201 |
| 跳开后 | I_b | 0.530 | 0.531 | 0.189 |
| | I_c | 16.735 | 16.795 | 0.359 |
| | $U_a/U_b/U_c$ | 116.75 | 116.84 | 0.074 |
| | $I_a/I_b/I_c$ | 0 | 0 | — |

(下转第 69 页)

参考文献

[1] GB 1032-85,三相异步电动机试验方法[S].

[2] 7. QI-7.4-0.2,大型交流异步(同步)电机修理规范[S].

[3] 孙克军.异步电动机与变压器[M].北京:化学工业出版社

(上接第18页)

2.3 时钟同步效果

通过数字录波器比较两条线路B相保护电流的相角,可以估算出两套从硬件平台之间的时间同步误差。数字录波器默认将A相电流通道作为其余通道的基准,故设为0.00°。

表3 录波器显示的相角量

| 通道 | 相角 / ° |
|-------|--------|
| 合并单元甲 | 119.99 |
| 合并单元乙 | 119.68 |

分析表3数据,两条线路的B相保护电流相角为0.31°。按照一个周期20ms计算,将相角差转换成时间差得17μs,而合并单元是按照250μs的周期接收数据,所以平台实现的同步对时指标远远满足要求。

3 结 语

提出了一种基于FPGA和ARM处理器协同工作的智能变电站全场景实验硬件平台方案。经实验验证,该套硬件平台能准确接收和发送数据,无线同步对时效果达到20μs以内,为智能变电站二次侧继电保护试验新方法提供了一种可操作的硬件平台。

参考文献

[1] Q/GDW 383-2009,智能变电站技术导则[S]. 2009: 4-7.

[2] IEC 61850,Communication Networks and Systems in Substations[S].

[3] IEC 60044-8,Instrument Transformers Part: Electronic Current Transformers[S].

[4] 张明珠,邹欣洁.基于FPGA & ARM9合并单元的研制[J].电力系统保护与控制,2010(9): 84-87.

社2010.

作者简介:

李继忠(1978),男,工程师,从事发电厂电气设备的维护、检修、管理工作,公司技术支持部电气专工岗位。

(收稿日期:2011-12-23)

[5] Jingmeng Liu, Wheihai Chen, Tianmiao Wang et al. Hardware Circuit Design of NC System Based on ARM and FPGA[C]. The IEEE International Conference on Industrial Informatics(INDIN 2008) DCC, Daejeon, Korea 2008.

[6] 朱超,黄灿,梅军,等.基于FPGA与ARM的智能合并单元设计[J].电网技术,2010,6(8): 84-87.

[7] 卢祥弘,陈儒军,何展翔.基于FPGA的恒温晶振频率校准系统的设计[J].电子技术应用,2010(7): 104-107.

[8] IEEE Std 1588-2008,IEEE Standard for a precision Clock Synchronization Protocol for Networked Measurement and Control Systems[S].

[9] T. Cooklev, J. C. Eidson and A. Pakdaman. An Implementation of IEEE 1588 over IEEE 802.11b for Synchronization of Wireless Local Area Network Nodes[J]. IEEE Transactions on Instrumentation and Measurement, 2007, 23(2): 1632-1639.

[10] Aneeq Mahmood and Feorg Gaderer. Timestamping for IEEE 1588 based Clock Synchronization in Wireless LAN[J]. International IEEE Symposium on Precision Clock Synchronization for Measurement, Control and Communication Brescia, 2009, 21(1): 12-16.

作者简介:

吴杰(1986),男,硕士研究生,研究方向为电力系统广域测量与控制;

黄琦(1976),男,教授博导,研究方向为电力系统控制、电力系统分布式计算、电力系统通信及超导直流输电;

井实(1980),男,博士研究生,主要研究方向为电力系统广域测量与控制;

王彪(1985),男,硕士研究生,主要从事电力系统分析与仿真计算工作;

张华(1985),男,硕士研究生,主要从事电力系统分析与仿真计算工作。

(收稿日期:2012-03-01)